

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

Patent Number: JP2003078076

Publication date: 2003-03-14

Inventor(s): CHINDA SATOSHI; SUZUKI KATSUMI

Applicant(s): HITACHI CABLE LTD

Requested Patent:  JP2003078076

Application Number: JP20010268413 20010905

Priority Number(s):

IPC Classification: H01L23/28; H01L21/56; H01L23/12; H01L23/50

EC Classification:

Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To reduce defective exposure of a conductor terminal (lead) related to a QFN or SON type semiconductor device.

**SOLUTION:** This method for manufacturing a semiconductor device comprises a conductor terminal forming process wherein a conductor terminal of a specified pattern is formed on the surface of an insulating substrate; a semiconductor chip mounting process wherein a semiconductor chip is bonded onto the insulating substrate on which the conductor terminal is formed, and then an external electrode (bonding pad) of the semiconductor chip and the conductor terminal are electrically connected together; a sealing process wherein the semiconductor chip, the conductor terminal and the connection part between the external electrode of the semiconductor chip and the conductor terminal are sealed with an insulating material; and a peeling process wherein, after sealing, the semiconductor chip and the conductor terminal sealed with the insulating material are peeled off from the insulating substrate. In the conductor terminal formation process, the conductor terminal is formed on the surface of the insulating substrate by using the conductor whose adhesion strength with the insulating substrate is deteriorated under a specified condition. In the peeling process, the semiconductor chip and the conductor terminal are peeled off after the adhesion strength between the insulating substrate and the conductor terminal is deteriorated under the specified conditions.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

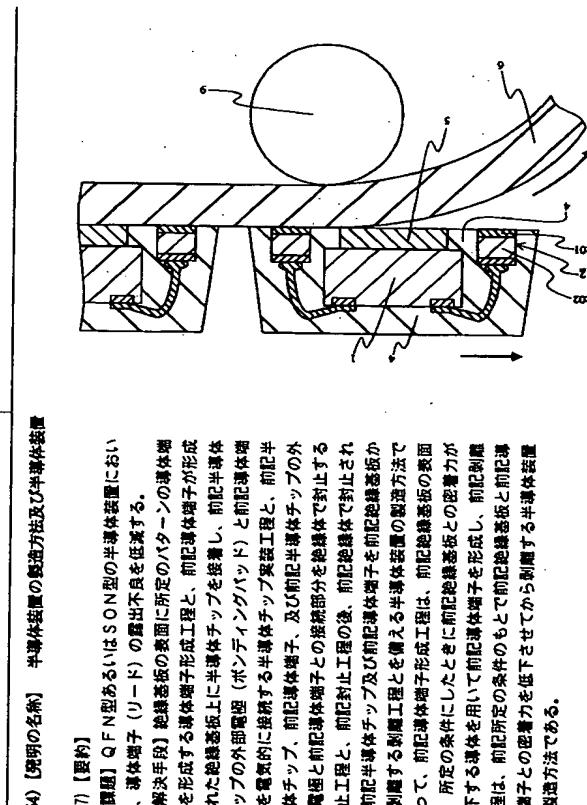
(11)特許出願公開番号

特開2003-78076  
(P2003-78076A)

【特許請求の範囲】

【請求項1】絶縁基板の表面に所定のパターンの導体端子を形成する導体端子形成工程と、前記導体端子が形成された絶縁基板上に半導体チップを接着し、前記導体端子チップの外部電極(ボンディングパッド)と前記導体端子を電気的に接続する半導体チップ実装工程と、前記半導体チップ、前記導体端子、及び前記半導体チップの外部電極と前記導体端子との接続部分を絶縁体で封止する封止工程と、前記封止工程の後、前記封止工程で封止された前記半導体チップ及び前記導体端子を前記絶縁基板から剥離する剥離工程とを備える半導体装置の製造方法であつて、前記導体端子形成工程は、前記絶縁基板の表面に、所定の条件にしたときに前記絶縁基板との密着力が低下する導体端子を用いて前記導体端子を形成し、前記封止工程は、所定の条件のもとで前記絶縁基板と前記導体端子との密着力を低下させてから剥離することを特徴とする半導体装置の製造方法。

(5)InInCl'	機別記号	F1	チップ-(参考)
H01L 23/28		H01L 23/28	A 4M109
21/56		21/56	T 5F061
23/12	501	23/12	501T 5F067
23/50		23/50	501W G
(21)出願番号	特許2001-288413(P2001-288413)	(71)出願人	日立電機株式会社
(22)出願日	平成13年9月5日(2001.9.5)	(72)発明者	久保田 駿 安城県日立市日高町5丁目1番1号 日立電機株式会社技術研究所内
		(72)発明者	鈴木 駿美 安城県日立市川町3丁目1番1号 日立電機株式会社電機工場内
		(74)代理人	弁理士 川澄 茂 100116171
(54)【請求項1】半導体装置の製造方法及び半導体装置	(55)【要約】	(56)【図面】	(57)【要約】



【発明の属する技術分野】本発明は、半導体装置及びその製造方法に属し、特に、QFN (Quad Flat Non-Leaded package) 型あるいはSON (Small Outline Non-Leaded package) 型のよう導体端子 (リード) が装置の外形から突出していない半導体装置に適用して有効な技術に関するものである。

【0002】

【発明の技術】従来、半導体チップの外部電極 (ボンディングパッド) と導体端子 (リード) をボンディングワイヤで電気的に接続し、前記半導体チップ、前記ボンディングワイヤ及び前記リードを絶縁体で封止した半導体装置には、QFN 型やSON 型のように、前記リードが前記絶縁体から突出する表面に露出した状態の半導体装置がある。

【0003】

【発明の効果】従来、半導体チップの外部電極 (ボンディングパッド) と導体端子 (リード) をボンディングワイヤで電気的に接続し、前記半導体チップ、前記ボンディングワイヤ及び前記リードの接続部を絶縁体で封止した半導体装置には、QFN 型やSON 型のように、前記リードが前記絶縁体から突出する表面に露出した状態の半導体装置がある。

【0004】前記QFN 型の半導体装置は、例えば、図11 (a) に示すように、半導体チップ1の外周部に沿って、実装板あるいは外部接続部と接続される導体端子 (リード) 2が配置されており、図11 (b) に示すように、前記半導体チップ1と前記導体端子2は、例えれば、フィルム状接着剤5により接着されている。また、前記半導体チップ1の外部電極 (ボンディングワイヤ) 101と前記導体端子2は、図11 (b) に示したように、ボンディングワイヤ3により電気的に接続されたり、前記半導体チップ1、前記ボンディングワイヤ3、及び前記ボンディングワイヤ3と前記導体端子2との接続部が、例えれば、エポキシ系樹脂などの熱硬化性樹脂のような絶縁体4で封止されている。またこのとき、前記導体端子2は、前記半導体チップ1の外側の領域で、例えれば、図11 (b) に示したように、前記導体チップ1から離ざされる方向に移動しており、前記導体端子2の一端が前記絶縁体4の表面に露出している。

【0005】前記QFN 型の半導体装置の製造方法を簡単に説明すると、まず、図12に示すように、前記導体チップ1から離ざされた導体端子2に所定の温度で所定時間加熱して前記熱硬化性樹脂を硬化させるとともに、前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項2または請求項3に記載の半導体装置の製造方法。

【0006】前記導体端子2と前記絶縁体4との密着力を低下させるために前記熱硬化性樹脂を形成する請求項4の半導体装置は、前記熱硬化性樹脂を形成した後、所定の温度で所定時間加熱して前記熱硬化性樹脂を硬化させるとともに、前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項2または請求項3に記載の半導体装置の製造方法。

【0007】前記導体端子2と前記絶縁体4との密着力を低下させるために、前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0008】

【0009】前記導体端子2と前記絶縁体4との密着力を低下させるために、前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0010】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0011】

【0012】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0013】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0014】

【0015】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0016】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0017】

【0018】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0019】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0020】

【0021】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0022】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0023】

【0024】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0025】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0026】

【0027】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0028】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0029】

【0030】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0031】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0032】

【0033】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0034】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0035】

【0036】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0037】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0038】

【0039】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0040】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0041】

【0042】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0043】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0044】

【0045】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0046】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0047】

【0048】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0049】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0050】

【0051】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0052】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0053】

【0054】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0055】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0056】

【0057】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0058】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0059】

【0060】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0061】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0062】

【0063】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0064】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0065】

【0066】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0067】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0068】

【0069】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0070】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0071】

【0072】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0073】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0074】

【0075】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0076】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0077】

【0078】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0079】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0080】

【0081】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0082】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0083】

【0084】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0085】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0086】

【0087】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0088】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0089】

【0090】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0091】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0092】

【0093】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0094】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0095】

【0096】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0097】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0098】

【0099】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0100】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0101】

【0102】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0103】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0104】

【0105】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0106】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0107】

【0108】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0109】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0110】

【0111】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0112】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0113】

【0114】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0115】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0116】

【0117】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0118】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0119】

【0120】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0121】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0122】

【0123】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0124】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0125】

【0126】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0127】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0128】

【0129】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0130】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。

【0131】

【0132】前記導体端子2と前記絶縁体4との密着力を低下させることを特徴とする

（アーバッド） 101と前記リードフレーム100の導体端子2とをポンティングワイヤ3で電気的に接続する。

まりが低下するため、半導体装置の製造コストが増大するという問題がある。

せ、製造コストを低減することが可能な技術を提供する

前記第2導体膜をエッチング処理して形成する。またこのとき、前記第1導体膜及び前記第2導体膜をエッチング処理する工程では、前記第2導体膜上の前記導体端子を形成する部分にレジスト(エッチングレジスト)を形成する工程が、前記エッチングレジストには樹脂系材料のものであるのが、例えば、金めっきなどが用いられる。前記工場内に金めっきを用いた場合、エッチング処理後に前記金めっきを剥離しておき、ボンディングワイヤを導体端子に接続するための端子めっきとして用いることができる。

6用紙の環境図子-1にして、前記部材は4への引つ  
き方を許す方法がある。この場合、金型による打  
抜き加工で前記リードフレームを形成することが難し  
い場合、金型による前記リードフレームを形成してい  
く、エッチングの環境がなくなり、生産性

〔0012〕また、図16(b)に示したような、6角柱形状の導体端子11の場合も、搬送中や半導体チップを搬送する工程で端形が起こりやすく、前記封止工程において、絶縁した導体端子が前記絶縁体4で覆されて不良品になりやすく、搬送が止まりが低下し、製造コストが嵩大すると言う問題があつた。

〔0013〕また、前記リードフレームを用いて製造する場合には、前記リードフレームが短冊状であり、一枚のリードフレームで数個から十数個の半導体素子しか製造できいため、生産性が低く、製造コストが上昇するという問題があつた。

図11(a)と図11(b)に示す。図11(b)の半導体装置の場合、前記地縁体4は前記地縁体4を封止するとともに、前記地縁体4の表面に露出させるために、前記地縁体4を前記地縁体4の端部を削除する。そのため、前記地縁体4は前記地縁体4の端部を削除する。

（0015）また、従来のQFN型の半導体装置の構成型態が難しいという問題があつた。

00016 本発明の目的は、QFN型あるいはSON型の半導体装置において、リード（導体端子）の露出不規則性を低減することが可能な技術を提供することにある。  
00017 本発明の他の目的は、QFN型あるいはSON型の半導体装置において、装置の製造歩留まりを向上させ、製造コストを低減することが可能な技術を提供することにある。  
00018 本発明の他の目的は、QFN型あるいはSON型の半導体装置において、リード（導体端子）の露出不規則性を低減することが可能な技術を提供することにある。

せ、製造コストを低減することが可能な技術を提供する

前記第2導体膜をエッチング処理して形成する。またこのとき、前記第1導体膜及び前記第2導体膜をエッチング処理する工程では、前記第2導体膜上の前記導体端子を形成する部分にレジスト(エッチングレジスト)を形成する工程が、前記エッチングレジストには樹脂系材料のものであるのが、例えば、金めっきなどが用いられる。前記工場内に金めっきを用いた場合、エッチング処理後に前記金めっきを剥離しておき、ボンディングワイヤを導体端子に接続するための端子めっきとして用いることができる。

〔0027〕また、前記導体端子は、前記第1導体端部及び前記第2導体端部をエッチング処理する方法の他に、例えれば、前記絶縁基板の表面に、所定の条件下にしたときに前記導体端子の電極力を低下する第1導体膜を形成し、前記絶縁基板の表面に形成された前記第1導体膜上

に、所定のバーテンの第2事体端形を形成した後、前記第1事体端の不要な部分を除去して前記事体端子を形成する、アディティブ法を用いた形成方法である。

反と前記ニッケル合金導線の接着強度が0.1N/m程度になる。一方、前記ボリミド樹脂基板と前記封止用接着剤との接着強度は1N/m程度、前記第2導線膜と前記封止用導線との接着強度は1N/m程度であるため、前記封止工程において、前記N/m程度であるため、前記封止工程において、前記

強度を下さずするために、前記ニッケル合金を薄く形成することが好ましいが、前記ニッケル合金を薄くすることにより前記導体端子の強度が低下するため、前記第2導体端子とし、例えば、電線端子に薄くすることにより、前記導体端子の強度を保つことができる。

前記第2導体膜をエッチング処理して形成する。またこ

前記第2導体膜をエッチング処理して形成する。またこのとき、前記第1導体膜及び前記第2導体膜をエッチング処理する工程では、前記第2導体膜上の前記導体端子を形成する部分にレジスト(エッチングレジスト)を形成する工程が、前記エッチングレジストには樹脂系材料のものであるのが、例えば、金めっきなどが用いられる。前記工場内に金めっきを用いた場合、エッチング処理後に前記金めっきを剥離しておき、ボンディングワイヤを導体端子に接続するための端子めっきとして用いることができる。

〔0027〕また、前記導体端子は、前記第1導体端部及び前記第2導体端部をエッチング処理する方法の他に、例えれば、前記絶縁基板の表面に、所定の条件下にしたときに前記導体端子の電極力を低下する第1導体膜を形成し、前記絶縁基板の表面に形成された前記第1導体膜上

に、所定のバーテンの第2事体端形を形成した後、前記第1事体端の不要な部分を除去して前記事体端子を形成する、アディティブ法を用いた形成方法である。

反と前記ニッケル合金導線の接着強度が0.1N/m程度になる。一方、前記ボリミド樹脂基板と前記封止用接着剤との接着強度は1N/m程度、前記第2導線膜と前記封止用導線との接着強度は前記封止用導線のN/m程度であるため、前記封止工程において、前記

強度を下さずするために、前記ニッケル合金を薄く形成することが好ましいが、前記ニッケル合金を薄くすることにより前記導体端子の強度が低下するため、前記第2導体端子とし、例えば、電線端子に薄くすることにより、前記導体端子の強度を保つことができる。

000421 図2乃至図8は、本実施例の半導体基板遮光方法を説明するための模式図であり、図2 (a) (b)、図3はそれそれ遮光物形成工程における工程での断面図、図4は半導体チップ実装工程の平面図、図5及び図6は半導体チップ実装工程の断面図、図7は封止工程の断面図、図8は封止工程の断面図である。

00043 本実施例の半導体装置の製造方法は、大ま  
に分けると、所定の基板上に前記導体端子2を形成す  
る導体端子形成工程、前記導体端子2が形成された前記  
半導体チップ1を実装する半導体チップ実装工  
程、前記基板上に実装された前記半導体チップ1を封止  
する封止工程、前記封止工程のあと、封止された半導体  
チップ1及び導体端子2を前記基板から剥離する剥離工  
程の4つの工程からなる。以下、図2乃至図8に沿  
て、本実施例の半導体装置の製造方法について説明す  
。

00044 まことに、前記導体端子形成工程では、図2  
a)に示すように、例えば、ボリミド樹脂からなる

接着剤、5は接着剤(ダイベースト)である。  
 本実施例の半導体装置は、QFN型の半導体装置であり、図1(a)及び図1(b)に示すよう二、半導体チップ1と、前記半導体チップ1の外周に沿って接着剤2から、前記半導体チップ1と電気的に接続される導体端子2と、前記半導体チップの外周部端子101と前記導体端子2を電気的に接続するボンディングワイヤ3と前記半導体チップ1、前記ボンディングワイヤ3及び前記ボンディングワイヤ3と前記導体端子2の接続部を封止する接着剤4により構成されている。また、前記半導体チップ1の前記外部電端子101が設けられた面と対向する面(非封止部成面)には、前記半導体チップ1は前記外部電端子101により剥離されている。

000421 図2乃至図8は、本実施例の半導体装置の製造方法を説明するための模式図であり、図2 (a)、図2 (b)、図3はそれぞれ導体被覆形成工程における工程での断面図、図4は半導体チップ実装工程の平面図及び図6は半導体チップ実装工程の断面図、図5及び図7は封止工程の断面図、図8は封止工程の断面図であ

00043 本実施例の半導体装置の製造方法は、大ま  
に分けると、所定の基板上に前記導体端子2を形成す  
る導体端子形成工程、前記導体端子2が形成された前記工  
程上に半導体チップ1を実装する半導体チップ実装工  
程、前記半導体チップ1を実装された前記半導体チップ1を封止  
する封止工程、前記封止工程のあと、封止された半導体  
チップ1及び導体端子2を前記基板から剝離する剝離工  
程の4つの工程からなる。以下、図2乃至図8に沿  
て、本実施例の半導体装置の製造方法について説明す  
。

00044 まず、前記導体端子形成工程では、図2  
a)に示すように、例えば、ポリマーD樹脂からなる

前記絶縁基板6の表面に、第1導体膜201及び第2導体膜202を形成する。このとき、前記第1導体膜201と、後述の前記絶縁基板6との密着性が弱い導体を用いることによって、前記絶縁基板6が、途中の搬送時などの外力によって剥離するのを防ぐため、前記絶縁基板6に接着する導体の剥離力が弱い方が好ましいが、途中の搬送時における搬送装置や搬送用の搬送車両等では、ある程度の接着力が必要である。

ため、前記第1導体膜201には、例えば、所定の温度に加熱したときに前記接觸基板6との密着力が低下するニッケル合金を用い、例えば、スパッタリングにより、前記ニッケル合金は、例題として、5 nm (5.0 オングストローム) 以下になるよう形成する。またこのとき、前記ニッケル合金は、例題として、クロム (Cr) の重量パーセントが 5 パーセントから 10 パーセントのニッケル・クロム合金が好ましく、前記第1導体膜201に前記ニッケル・クロム合金の場合、180°C の雰囲気中で前記接觸基板6と接觸するときに前記導体膜201は、例題として、0.0045 N/m 程度に前記導体膜201と前記接觸基板6との密着力 (接着力) が低下する。またこのとき、前記接觸基板6ほど、加熱したときに前記導体膜201との密着力が低下しやすくなる。

レジスト(めつきレジスト) 7 を形成し、前記めつきレジスト 7 の開口部、すなわち、前記第2導体膜 20 の露出面に端子めつき 203 を形成する。前記めつき

2を形成する。このとき、エッティング溶液としては、  
例えば、塩化第二鉄 ( $FeCl_3$ ) 溶液や塩化第二銅 ( $CuCl_2$ )  
溶液が用いられる。  
2)  $H_2O$  溶液が用いられる。

みに前記第2導体（電解鋼めっき）20を形成した後、クリックエッジングで前記第1導体20-1の不要な部分を除去してもよい。

【0066】図9は、前記実施例の半導体装置の変形例を示す模式図であり、図9（a）は半導体装置の導体端子2側から見た平面図、図9（b）は図9（a）のB-B'構造の断面図である。なお、図9（b）の断面図は、図9（a）の半導体装置の断面を上下反転させて示している。

【0067】前記実施例の半導体装置では、図4及び図5に示したように、前記絶縁基板6の半導体チップ1が搭載される領域の外側に前記導体端子2を配置し、前記絶縁基板6上に前記接着剤（組ペースト）5を用いて前記導体チップ1を接着しているが、前記接着剤5が前記封止用の絶縁体4の表面に露出しているが、これに娘らず、例えば、図9（a）及び図9（b）に示すように、前記導体端子2の一端が前記半導体チップ1を接続する構造内に突出するように設け、フィルム状接着剤5'を用いて前記導体端子2上に前記半導体チップ1を接続することができる。

【0068】また、前記導体端子2の露出面積が所定の範囲よりも狭くなる、あるいはふさがれることがないた前記導体端子2の露出面の不良による半導体装置の機能喪失を防ぐため、半導体装置の露出面積が広がり、製造歩留まりが向上することができる。

【0069】また、前記導体装置の前記導体端子6は、前記絶縁基板6を剥離するため、前記導体端子2の露出面、すなわち前記第1導体端子20-1の表面に接着剤を付けると、剥離性が悪くなることを防げる。

【0062】また、テーブ状の绝缘基板6を用いて、從来からテープキャリアの製造に用いられているリール式半導体装置を製造することができる。一方で、一度に大量の半導体装置を製造でき、生産性が向上するため、装置の製造コストを低減することができる。

【0063】また、前記绝缘基板6は、別離工程の後で半導体装置を用いることにより、前記绝缘基板6を用いることにより、前記绝缘基板6による装置コストの上昇はほとんどない。また、前記绝缘基板6による装置コストを大幅に削減するため、從来から半導体装置2を対称よく形成するため、前記導体端子2の材料費を低減し、半導体装置の製造コストを低減することができる。

【0064】また、本実施例の半導体装置のように、前記绝缘基板6上に前記半導体チップ1を接着し、前記導体端子2と前記半導体チップの外部電極201を逆ボンディングで接続することにより、従来の図11（b）に示したような、リードフレームを用いた半導体装置に比べ、薄型化することができる。

【0065】また、本実施例の半導体装置では、図2（a）に示したように、前記绝缘基板6の表面に、前記導体端子2と前記半導体チップ1との接続部201及び前記第2導体端子202を形成した後、前記導子めつき203を形成し、前記導子めつき203をエッチングレジストとして用いて前記第1導体端子201及び前記第4導体端子202をエッチング処理し、前記導体端子2を形成したが、これに限らず、例えば、前記導子めつき203を形成する代わりに、他のエッチングレジストを形成してエッチング処理してもよいことは言うまでもない。また、前記導体端子2を微細化した場合には、前記绝缘基板6の表面に前記第1導体端子201を形成し、アーチワーフ等により、前記導体端子2を形成する部分の

000661 図9は、前記実施例の半導体装置の変形例である。図9に示す模式図であり、図9 (a) は半導体装置の構成図である。図9 (b) は図9 (a) のB-B'線での断面図である。なお、図9 (b) の断面図において、前記実施例の半導体装置の断面を上下反転させて示している。

000671 前記実施例の半導体装置では、図4及び図5に示したように、前記絶縁基板6の半導体チップ1が搭載される領域の外側に前記導体端子2を配置し、前記導体端子2は6上に前記接着剤(銀ペースト)5を用いて前記半導体チップ1接着しているため、前記接着剤5が前記封止用の絶縁材4の表面に露出しているが、これに反して、前記導体端子2の一端が前記半導体チップ1を搭載する領域内に突出するようになれば、フィルム状接着剤1を用いて前記導体端子2上に前記半導体チップ1を

接着してもよい。この場合には、前記半導体チップ 2 の高さ分だけ、前記半導体チップ 6 と前記半導体チップ 1 の間に隙間ができる、図 7 で示した前記封止工場で、前記绝缘基板 6 と前記半導体チップ 1 の間に前記封止用の绝缘基板 4 が入り込み、前記フィルム状接着剤 5 が露出しない。

【0068】図 1 (a) 及び図 1 (b) に示したような、前記接着剤 (銀ベースト) 5 が露出した半導体装置では、前記剥離工程で前記绝缘基板 6 を剥離する際、あるいはその後に前記接着剤 5 が剥離して前記半導体チップ 1 が露出し、前記半導体チップ 1 に焼付く可能性があるが、図 9 (a) 及び図 9 (b) に示したように、前記接着剤 5 も前記封止用の绝缘基板 4 の内部に封止するだけで、前記半導体チップ 1 が露出し、焼付くことができない。

【0069】図 10 は、前記実施例の半導体装置の他の実施例を示す模式図であり、図 10 (a) は半導体チップから見た平面図、図 10 (b) は前記半導体装置を側面から見た断面図である。なお、図 10 (a) では、前記半導体チップを封止する绝缘体は省略して示している。

【0070】前記実施例の半導体装置では、図 1 (a) 及び図 1 (b) に示したように、前記半導体チップ 2 が装置の端部に沿つて一列に配置されているが、これに限らず、例えば、図 10 (a) に示すように、前記半導体チップ 1 の外部電端子 101 および前記半導体チップ 2 を千鳥配置して密に配置された場合、例えば、図 10 (b) に示すように、ループ高さの異なるワイヤボンディングをすることにより、前記半導体チップ 1 の各端子間に接続によ

半導体装置を例にあげているが、これに限らず、例えば、SON型の半導体装置でもよい。

【0071】また、前記実施例の半導体装置の製造方法では、前記封止工程において、前記绝缘基板 4 を焼成させると際の加熱で前記第1導体膜 (ニッケル合金膜) 201 と前記绝缘基板 (ポリイミド樹脂基板) 6 の密着力を低下させ、その後に前記绝缘基板 6 を剥離していくが、これに限らず、例えば、前記封止工場とは別の工場で加熱して、前記第1導体膜 201 と前記绝缘基板 6 の密着力を低下させててもよいことは言うまでもない。

【0072】

【説明の効果】本発明において開示される発明のうち、代表的なものによって得られる効果を簡単にすれば、以下のとおりである。

【0073】(1) QFN型あるいはSON型の半導体装置において、リード (導体端子) の露出不良を低減することができる。

【0074】(2) QFN型あるいはSON型の半導体装置において、装置の配置が留まりを向上させ、製造コストを低減することができる。

【0075】(3) QFN型あるいはSON型の半導体装置において、装置の生産性を向上させ、製造コストを低減することができる。

【0076】(4) QFN型あるいはSON型の半導体装置において、装置を薄型化することができる。

【0077】(5) QFN型あるいはSON型の半導体装置において、多ビン化による装置の大型化を防ぐことができる。

【図面の簡単な説明】

【図 1】半導体の半導体装置の製造方法を説明するための模式図であり、図 1 (a) は半導体装置を導体端子から見た平面図で、図 1 (b) は図 1 (a) の A-A' 線での断面図である。

【図 2】本実施例の半導体装置の製造方法を説明するための模式図であり、図 2 (a) 及び図 2 (b) はそれぞれ導体端子形成工程における各工程での断面図である。

【図 3】本実施例の半導体装置の製造方法を説明するための模式図であり、導体端子形成工程における断面図である。

【図 4】本実施例の半導体装置の製造方法を説明するための模式図であり、半導体チップ実装工程における断面図である。

【図 5】本実施例の半導体装置の製造方法を説明するための模式図であり、図 4 の側面方向から見た断面図である。

【図 6】本実施例の半導体装置の製造方法を説明するための模式図であり、ワイヤボンディング工程の断面図である。

【図 7】半導体の半導体装置の製造方法を説明するための模式図であり、前記実施例では、前記外部端子が

【0071】図 1 (a) 及び図 1 (b) に示したように、前記導体端子 2 を一列配列した場合、前記半導体チップ上の外部電極 (ボンディングパッド) 10 の数が増えると前記半導体装置が大型化してしまって、図 10 (a) 及び図 10 (b) に示すように、前記導体端子 2 を千鳥配列することにより、多ピン化、すなわち前記導体端子 2 の数を増やしたときに前記半導体装置が大型化する割合を低減させることができる。

【0072】また、図 10 (a) 及び図 10 (b) に示した半導体装置では、前記導体端子 2 を千鳥配列にしているが、これに限らず、従来の LGA (Land Grid Array) 型の半導体装置のように、前記導体端子 2 を 2 列以上上の格子状に配置してもよいことは言うまでもない。

【0073】以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々變更可能であることはもちろんである。

【0074】例へば、前記実施例では、前記外部端子が

【図7】本実施例の半導体装置の製造方法を説明するための模式図であり、封止工程における断面図である。

【図8】本実施例の半導体装置の製造方法を説明するための模式図であり、倒観工程における断面図である。

【図9】前記実施例の半導体装置の変形例を示す模式図であり、図9 (a) は半導体装置の導体端子部から見た平面図、図9 (b) は図9 (a) のB-B'線での断面図である。

【図10】前記実施例の半導体装置の他の変形例を示す模式図であり、図10 (a) は半導体装置のチップ側から見た平面図、図10 (b) は図10 (a) の剖面方向から見た断面図である。

【図11】従来のQFN型の半導体装置の製造構成を示す模式図であり、図11 (a) は器皿の導体端子 (リード) 側から見た平面図、図11 (b) は図11 (a) のC-C'線での断面図である。

【図12】従来のQFN型の半導体装置の製造方法を説明するための模式図であり、使用するリードフレームの製造構成を示す平面図である。

【図13】従来のQFN型の半導体装置の製造方法を説明するための模式図であり、図13 (a) 、図13 (b) はそれぞれ、半導体チップを実装する工程の断面図である。

【図14】従来のQFN型の半導体装置の製造方法を説明するための模式図であり、図14 (a) は封止工程の

断面図、図14 (b) は箇所A-A'の断面図である。

【図15】従来のQFN型の半導体装置の断面図である。

【図16】従来のQFN型の半導体装置の他の問題点を説明するための模式図である。

【図17】前記実施例の半導体装置の他の問題点を説明するための模式図である。

【符号の説明】

1 半導体チップ

101 外部電極 (パンディングパッド)

2 導体端子 (リード)

3 ポンディングワイヤ

4 絶縁体

5 接着剤 (ダイベースト)

5' フィルム状接着剤

6 絶縁基板 (ポリミド樹脂基板)

7 レジスト (めつきリジスト)

8 A 上金型

801A キャビティ

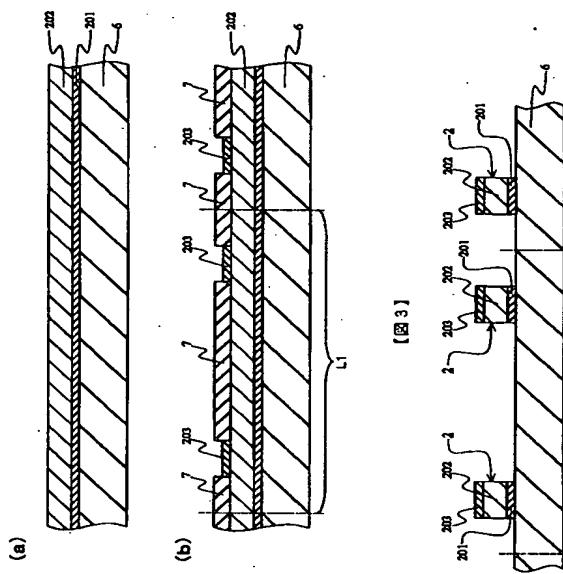
8B 下金型

9 ローラー

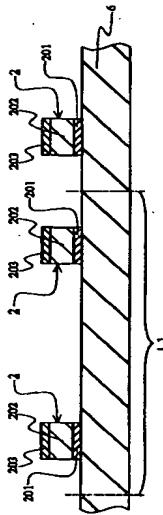
10 リードフレーム

11 6角形状の導体端子

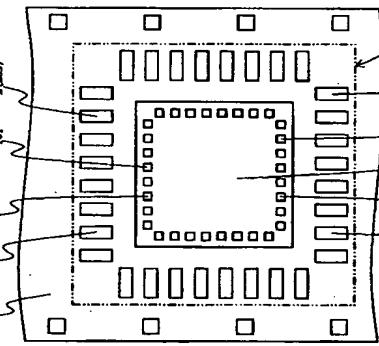
【図2】



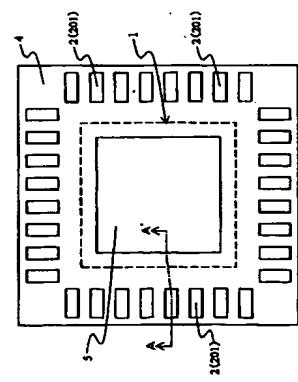
【図3】



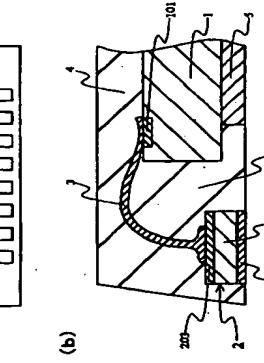
【図4】



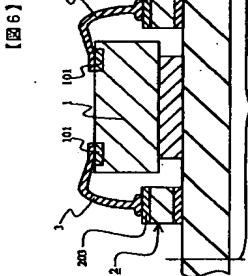
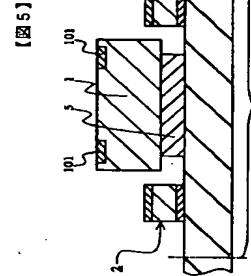
【図1】



(a)



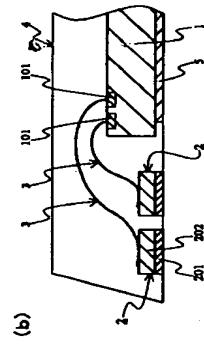
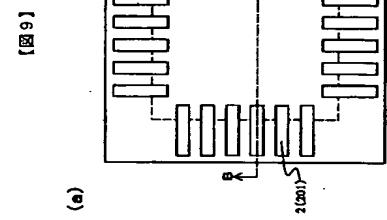
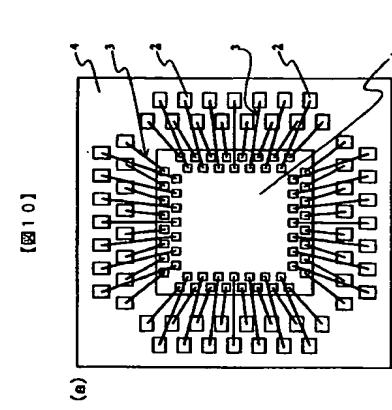
(b)



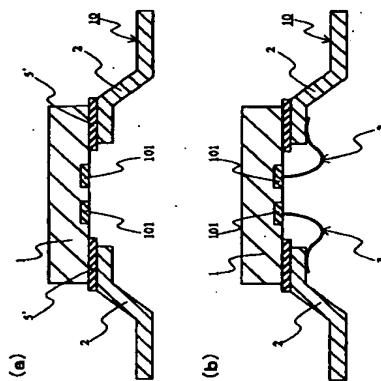
【図5】



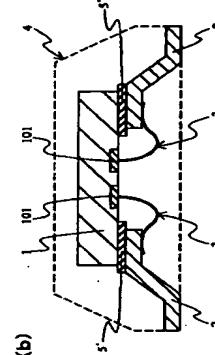
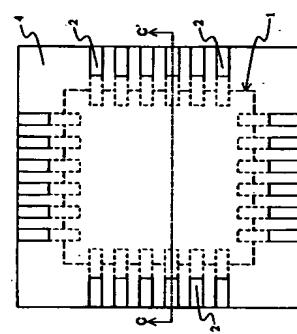
【図6】



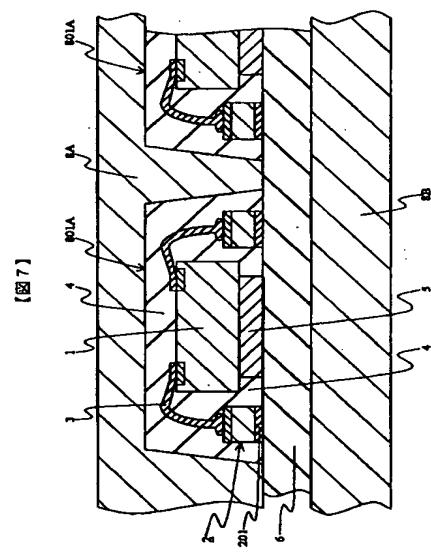
[図13]



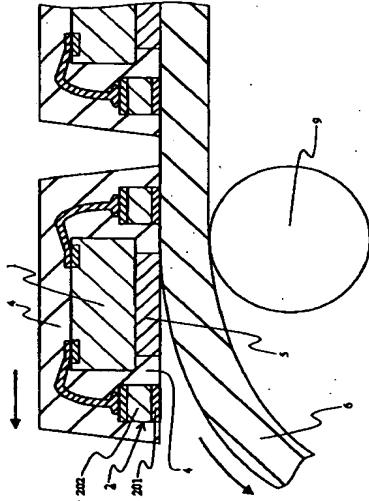
[図11]



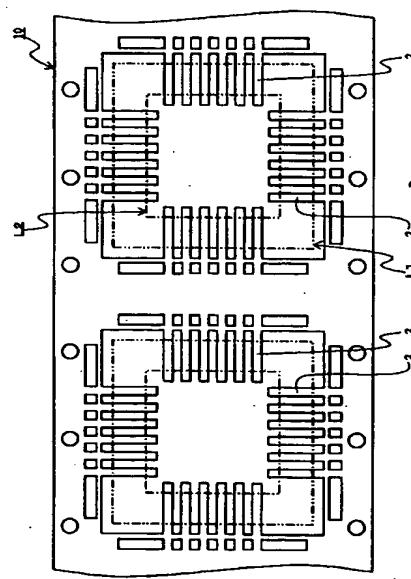
(11)



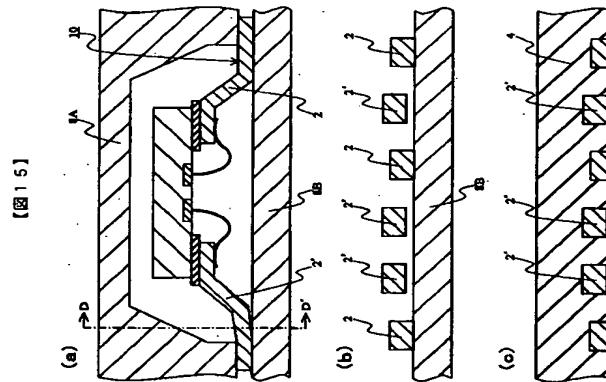
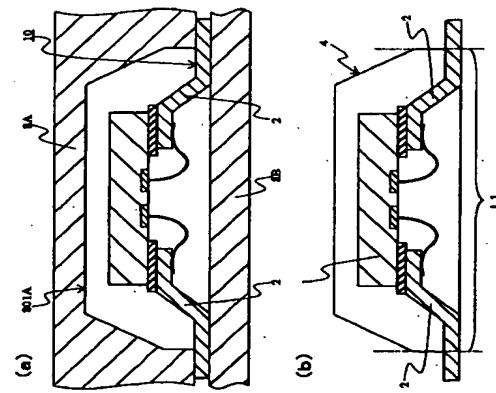
[図8]



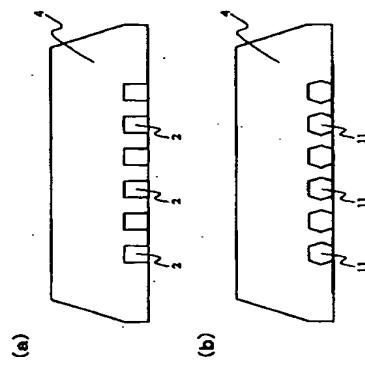
[図12]



[図14]



[図16]



フロントペーパージの焼き

Fターム(参考) 4H09 AA01 BA01 CA21 FA07  
 SF061 AA01 BA01 CA21 DD14 EA03  
 SF067 AA09 AA11 AB03 BC12 BE10  
 CC00 CC08 DE14 DF01